

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0022571  
Application Number

출원 년 월 일 : 2003년 04월 10일  
Date of Application APR 10, 2003

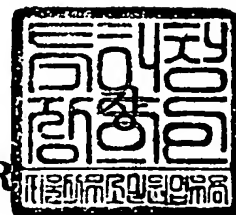
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 21 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.04.10
【국제특허분류】	H01L
【발명의 명칭】	칼럼선택라인들 간의 스큐를 감소시킬 수 있는 칼럼선택 라인 구동 스킴을 갖는 반도체 메모리장치 및 이의 칼럼선택 라인 구동방법
【발명의 영문명칭】	Semiconductor memory device having column select line driving scheme for reducing skew between column select lines and column select line driving method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김병철
【성명의 영문표기】	KIM,Byung Chul
【주민등록번호】	640413-1674716
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 건영2차아파트 662동 1303호
【국적】	KR
【발명자】	
【성명의 국문표기】	고승범
【성명의 영문표기】	KO,Seung Bum
【주민등록번호】	710704-1932311

【우편번호】 442-371  
【주소】 경기도 수원시 팔달구 매탄1동 140-27 204호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	4 면	4,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	8 항	365,000 원
【합계】		398,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

칼럼선택라인들 간의 스큐를 감소시킬 수 있는 칼럼선택라인 구동 스킴을 갖는 반도체 메모리장치 및 이의 칼럼선택라인 구동방법이 개시된다. 상기 반도체 메모리장치는 복수개의 칼럼선택라인 인에이블 제어기들과 복수개의 칼럼선택라인 디스에이블 제어기들을 구비하고 이들은 대응되는 칼럼선택라인 구동기들 근처에 배치된다. 이에 따라 각 칼럼선택라인 구동기의 입력단의 부하(load)가 거의 비슷해지게 되며 따라서 칼럼선택라인들 간의 인에이블 스큐 및 디스에이블 스큐가 감소된다. 또한 상기 반도체 메모리장치는, 칼럼선택라인 인에이블 마스터 신호 발생기의 출력신호를 서로 다른 지연시간 만큼 지연시켜 상기 복수개의 칼럼선택라인 인에이블 제어기들에 제공하는 복수개의 인에이블 마스터 신호 지연기들 및 칼럼선택라인 디스에이블 마스터 신호 발생기의 출력신호를 서로 다른 지연시간 만큼 지연시켜 상기 복수개의 칼럼선택라인 디스에이블 제어기들에 제공하는 복수개의 디스에이블 마스터 신호 지연기들을 구비한다. 이에 따라 상기 지연기들에 의해 신호라인들의 서로 다른 부하에 기인하는 지연차이를 보상할 수 있으며 결국 칼럼선택라인들 간의 인에이블 스큐 및 디스에이블 스큐가 감소될 수 있다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

칼럼선택라인들 간의 스큐를 감소시킬 수 있는 칼럼선택라인 구동 스킴을 갖는 반도체 메모리장치 및 이의 칼럼선택라인 구동방법{Semiconductor memory device having column select line driving scheme for reducing skew between column select lines and column select line driving method thereof}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 칼럼선택라인 구동 스킴(scheme)을 갖는 반도체 메모리장치를 나타내는 도면이다.

도 2는 본 발명의 일실시예에 따른 반도체 메모리장치를 나타내는 도면이다.

도 3은 도 2에 도시된 CSL 인에이블 마스터 신호 발생기 및 CSL 디스에이블 마스터 신호 발생기의 상세 회로를 나타내는 도면이다.

도 4는 도 2에 도시된 복수개의 인에이블 마스터 신호 지연기들의 회로를 나타내는 도면이다.

도 5는 도 2에 도시된 복수개의 디스에이블 마스터 신호 지연기들의 회로를 나타내는 도면이다.

도 6은 도 2에 도시된 복수개의 CSL 인에이블 제어기들의 회로를 나타내는 도면이다.

도 7은 도 2에 도시된 복수개의 CSL 디스에이블 제어기들의 회로를 나타내는 도면이다.

도 8은 도 2에 도시된 복수개의 CSL 구동기들의 회로를 나타내는 도면이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 칼럼선택라인(column Select Line, CSL)들 간의 스큐를 감소시킬 수 있는 반도체 메모리장치 및 이의 칼럼선택라인 구동방법에 관한 것이다.
- <11> 디램에서는 외부에서 인가되는 어드레스를 디코딩하여 칼럼 어드레스가 생성되고 이 칼럼 어드레스를 이용하여 메모리셀들에 대한 칼럼선택라인들이 선택된다. 따라서 기입동작 속도 및 독출동작 속도를 빠르게 하기 위해서는 칼럼선택라인들을 선택할 때 칼럼선택라인들 간의 스큐를 줄이는 것이 중요하다.
- <12> 도 1은 종래의 칼럼선택라인 구동 스킴(scheme)을 갖는 반도체 메모리장치를 나타내는 도면이다.
- <13> 도 1을 참조하면, CSL 인에이블 마스터 신호 발생기(A11)가 내부클럭(PCLKC)을 수신하여 칼럼선택라인 인에이블 마스터 신호(EM)를 발생하고 CSL 디스에이블 마스터 신호 발생기(B11)가 내부클럭(PCLKC)을 수신하여 칼럼선택라인 디스에이블 마스터 신호(DM)를 발생한다. 내부클럭(PCLKC)은 반도체 메모리장치의 외부에서 인가되는 외부클럭에 의해 발생된다.

- <14> 다음에 CSL 인에이블 제어기(E11)가 칼럼선택라인 인에이블 마스터 신호(EM)에 응답하여 칼럼선택라인 인에이블 제어신호(EC)를 발생하고 CSL 디스에이블 제어기(F11)가 칼럼선택라인 디스에이블 마스터 신호(DM)에 응답하여 칼럼선택라인 디스에이블 제어신호(DC)를 발생한다.
- <15> 다음에 복수개의 칼럼선택라인 구동기들(G11-G14)은 디코드된 칼럼 어드레스(미도시), 칼럼선택라인 인에이블 제어신호(EC), 및 칼럼선택라인 디스에이블 제어신호(DC)에 응답하여 복수개의 메모리셀 어레이들(M11-M14)중 해당되는 것의 칼럼선택라인(CSL1-CSL4)을 구동한다.
- <16> 상기 종래의 칼럼선택라인 구동 스킴에서는 모든 칼럼선택라인 구동기들(G11-G14)을 제어하기 위해 하나의 CSL 인에이블 제어기(E11)와 하나의 CSL 디스에이블 제어기(F11)가 사용된다. 이에 따라 CSL 인에이블 제어기(E11)의 출력신호(EC)를 전송하는 라인(line)과 CSL 디스에이블 제어기(F11)의 출력신호(DC)를 전송하는 라인이 모든 칼럼선택라인 구동기들(G11-G14)로 글로벌(Global)하게 라우트(route)된다.
- <17> 따라서 각 메모리셀 어레이(H11-H14)의 위치 및 각 칼럼선택라인 구동기(G11-G14)의 위치에 따라서 각 칼럼선택라인 구동기(G11-G14)의 입력단의 부하(load)가 달라지게 되며 이로 인해 칼럼선택라인들(CSL1-CSL4) 간의 스큐(skew)가 커지게 된다. 이러한 현상은 반도체 메모리장치의 기입동작 속도 및 독출동작 속도를 빠르게 하는 데 제약이 된다.

**【발명이 이루고자 하는 기술적 과제】**

- <18> 따라서 본 발명이 이루고자하는 기술적 과제는, 칼럼선택라인들 간의 스큐를 감소시킬 수 있는 칼럼선택라인 구동 스킴을 갖는 반도체 메모리장치를 제공하는 데 있다.
- <19> 본 발명이 이루고자하는 다른 기술적 과제는, 반도체 메모리장치에서 칼럼선택라인들 간의 스큐를 감소시킬 수 있는 칼럼선택라인 구동방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <20> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리장치는, 복수개의 메모리셀 어레이들, 칼럼선택라인 인에이블 마스터 신호 발생기, 칼럼선택라인 디스에이블 마스터 신호 발생기, 복수개의 인에이블 마스터 신호 지연기들, 복수개의 디스에이블 마스터 신호 지연기들, 복수개의 칼럼선택라인 인에이블 제어기들, 복수개의 칼럼선택라인 디스에이블 제어기들, 및 복수개의 칼럼선택라인 구동기들을 구비하는 것을 특징으로 한다.
- <21> 상기 칼럼선택라인 인에이블 마스터 신호 발생기는 소정의 신호를 수신하여 칼럼선택라인 인에이블 마스터 신호를 발생한다. 상기 칼럼선택라인 디스에이블 마스터 신호 발생기는 상기 소정의 신호를 수신하여 칼럼선택라인 디스에이블 마스터 신호를 발생한다. 상기 복수개의 인에이블 마스터 신호 지연기들은 각각 상기 칼럼선택라인 인에이블 마스터 신호를 지연시킨다. 상기 복수개의 디스에이블 마스터 신호 지연기들은 각각 상기 칼럼선택라인 디스에이블 마스터 신호를 지연시킨다.
- <22> 상기 복수개의 칼럼선택라인 인에이블 제어기들은 각각 상기 인에이블 마스터 신호 지연기들중 해당되는 것의 출력신호에 응답하여 칼럼선택라인 인에이블 제어신호를 발

생한다. 상기 복수개의 칼럼선택라인 디스에이블 제어기들은 각각 상기 디스에이블 마스터 신호 지연기들중 해당되는 것의 출력신호에 응답하여 칼럼선택라인 디스에이블 제어신호를 발생한다. 상기 복수개의 칼럼선택라인 구동기들은 각각 상기 칼럼선택라인 인에이블 제어기들중 해당되는 것의 출력신호와 상기 칼럼선택라인 디스에이블 제어기들중 해당되는 것의 출력신호에 응답하여, 상기 메모리셀 어레이들중 해당되는 것의 칼럼선택라인을 구동한다.

<23> 특히 상기 복수개의 칼럼선택라인 인에이블 제어기들과 상기 복수개의 칼럼선택라인 디스에이블 제어기들은 상기 칼럼선택라인 구동기들 근처에 배치된다. 상기 인에이블 마스터 신호 지연기들의 지연시간들은 서로 다르고 상기 디스에이블 마스터 신호 지연기들의 지연시간들은 서로 다르다. 상기 소정의 신호는 상기 반도체 메모리장치의 외부에서 인가되는 외부클럭에 의해 발생하는 내부클럭이다.

<24> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리장치의 칼럼선택라인 구동방법은, 소정의 신호를 수신하여 칼럼선택라인 인에이블 마스터 신호를 발생하는 단계, 상기 소정의 신호를 수신하여 칼럼선택라인 디스에이블 마스터 신호를 발생하는 단계, 상기 칼럼선택라인 인에이블 마스터 신호를 서로 다른 지연시간 만큼 지연시켜 복수개의 지연된 칼럼선택라인 인에이블 마스터 신호들을 발생하는 단계, 상기 칼럼선택라인 디스에이블 마스터 신호를 서로 다른 지연시간 만큼 지연시켜 복수개의 지연된 칼럼선택라인 디스에이블 마스터 신호들을 발생하는 단계, 상기 지연된 칼럼선택라인 인에이블 마스터 신호들에 응답하여 복수개의 칼럼선택라인 인에이블 제어신호들을 발생하는 단계, 상기 지연된 칼럼선택라인 디스에이블 마스터 신호들에 응답하여 복수개의

칼럼선택라인 디스에이블 제어신호들을 발생하는 단계, 및 상기 칼럼선택라인 인에이블 제어신호들중 해당되는 것과 상기 칼럼선택라인 디스에이블 제어신호들중 해당되는 것에 응답하여, 상기 메모리셀 어레이들중 해당되는 것의 칼럼선택라인을 구동하는 단계를 구비하는 것을 특징으로 한다.

<25> 상기 소정의 신호는 상기 반도체 메모리장치의 외부에서 인가되는 외부클럭에 의해 발생하는 내부클럭이다.

<26> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<28> 도 2는 본 발명의 일실시예에 따른 반도체 메모리장치를 나타내는 도면이다. 이 반도체 메모리장치는 본 발명에 따른 칼럼선택라인 구동방법에 따라 동작한다.

<29> 도 2를 참조하면, 본 발명의 일실시예에 따른 반도체 메모리장치는, 복수개의 메모리셀 어레이들(H21-H24), CSL 인에이블 마스터 신호 발생기(A21), CSL 디스에이블 마스터 신호 발생기(B21), 복수개의 인에이블 마스터 신호 지연기들(C21-C24), 복수개의 디스에이블 마스터 신호 지연기들(D21-D24), 복수개의 CSL 인에이블 제어기들(E21-E24), 복수개의 CSL 디스에이블 제어기들(F21-F24), 및 복수개의 CSL 구동기들(G21-G24)을 구비한다.

<30> 본 발명에 따른 반도체 메모리장치에서는 도 1의 종래기술과 달리 복수개의 CSL 인에이블 제어기들(E21-E24)과 복수개의 CSL 디스에이블 제어기들(F21-F24)이 구비되고 이들은 CSL 구동기들(G21-G24) 근처에 배치된다. 또한 복수개의 CSL 인에이블 제어기들(E21-E24)과 CSL 인에이블 마스터 신호 발생기(A21) 사이에 복수개의 인에이블 마스터 신호 지연기들(C21-C24)이 구비되고, 복수개의 CSL 디스에이블 제어기들(F21-F24)과 CSL 디스에이블 마스터 신호 발생기(B21) 사이에 복수개의 디스에이블 마스터 신호 지연기들(D21-D24)이 구비된다.

<31> CSL 인에이블 마스터 신호 발생기(A21)는 내부클럭(PCLKC)을 수신하여 칼럼선택라인 인에이블 마스터 신호(EM)를 발생한다. CSL 디스에이블 마스터 신호 발생기(B21)는 내부클럭(PCLKC)을 수신하여 칼럼선택라인 디스에이블 마스터 신호(DM)를 발생한다. 내부클럭(PCLKC)은 반도체 메모리장치의 외부에서 인가되는 외부클럭에 의해 발생된다.

<32> 복수개의 인에이블 마스터 신호 지연기들(C21-C24)은 각각 칼럼선택라인 인에이블 마스터 신호(EM)를 서로 다른 지연시간 만큼 지연시켜 복수개의 지연된 칼럼선택라인 인에이블 마스터 신호들(DEM1-DEM4)를 발생한다. 복수개의 디스에이블 마스터 신호 지연기들(D21-D24)은 각각 칼럼선택라인 디스에이블 마스터 신호(DM)를 서로 다른 지연시간 만큼 지연시켜 복수개의 지연된 칼럼선택라인 디스에이블 마스터 신호들(DDM1-DDM4)를 발생한다.

<33> 복수개의 CSL 인에이블 제어기들(E21-E24)은 지연된 칼럼선택라인 인에이블 마스터 신호들(DEM1-DEM4) 및 디코드된 칼럼어드레스(미도시)에 응답하여 복수개의 칼럼선택라인 인에이블 제어신호들(EC1-EC4)을 발생한다. 복수개의 CSL 디스에이블 제어기들(F21-F24)은 지연된 칼럼선택라인 디스에이블 마스터 신호들(DDM1-DDM4) 및 디코드된 칼

럼어드레스(미도시)에 응답하여 복수개의 칼럼선택라인 디스에이블 제어신호들(DC1-DC4)을 발생한다.

<34> 복수개의 CSL 구동기들(G21-G24)은 각각 칼럼선택라인 인에이블 제어신호들(EC1-EC4)중 해당되는 것과 칼럼선택라인 디스에이블 제어신호들(DC1-DC4)중 해당되는 것에 응답하여, 메모리셀 어레이들(H21-H24)중 해당되는 것의 칼럼선택라인(CSL)을 구동한다.

<35> 도 3은 도 2에 도시된 CSL 인에이블 마스터 신호 발생기(A21) 및 CSL 디스에이블 마스터 신호 발생기(B21)의 상세 회로를 나타내는 도면이다.

<36> 도 3을 참조하면, CSL 인에이블 마스터 신호 발생기(A21)는 직렬연결된 짝수개의 인버터들(301-304)을 포함하여 구성된다. CSL 인에이블 마스터 신호 발생기(A21)는 일종의 지연기로서 내부클럭(PCLKC)을 소정 시간만큼 지연시켜 칼럼선택라인 인에이블 마스터 신호(EM)를 발생한다.

<37> CSL 디스에이블 마스터 신호 발생기(B21)는 직렬연결된 홀수개의 인버터들(305-309)을 포함하여 구성된다. CSL 디스에이블 마스터 신호 발생기(B21)는 일종의 반전 지연기로서 내부클럭(PCLKC)을 반전시키고 소정 시간만큼 지연시켜 칼럼선택라인 디스에이블 마스터 신호(DM)를 발생한다.

<38> 도 4는 도 2에 도시된 복수개의 인에이블 마스터 신호 지연기들(C21-C24)의 회로를 나타내는 도면이다.

<39> 도 4를 참조하면, 인에이블 마스터 신호 지연기(C21)는 하나의 인버터(401)를 포함하여 구성되고 인에이블 마스터 신호 지연기(C22)는 세 개의 인버터(402-404)를 포함하

여 구성된다. 인에이블 마스터 신호 지연기(C23)는 5개의 인버터(405-409)를 포함하여 구성되고 인에이블 마스터 신호 지연기(C24)는 7개의 인버터(410-416)를 포함하여 구성된다. 여기에서 인버터의 개수는 각 인에이블 마스터 신호 지연기가 서로 다른 지연시간을 갖도록 임의로 정해진 것이며 필요에 따라 변경될 수 있다.

<40> 도 5는 도 2에 도시된 복수개의 디스에이블 마스터 신호 지연기들(D21-D24)의 회로를 나타내는 도면이다.

<41> 도 5를 참조하면, 디스에이블 마스터 신호 지연기(D21)는 하나의 인버터(501)를 포함하여 구성되고 디스에이블 마스터 신호 지연기(D22)는 세 개의 인버터(502-504)를 포함하여 구성된다. 디스에이블 마스터 신호 지연기(D23)는 5개의 인버터(505-509)를 포함하여 구성되고 디스에이블 마스터 신호 지연기(D24)는 7개의 인버터(510-516)를 포함하여 구성된다. 여기에서 인버터의 개수는 각 디스에이블 마스터 신호 지연기가 서로 다른 지연시간을 갖도록 임의로 정해진 것이며 필요에 따라 변경될 수 있다.

<42> 도 6은 도 2에 도시된 복수개의 CSL 인에이블 제어기들(E21-E24)의 회로를 나타내는 도면이다.

<43> 도 6을 참조하면, CSL 인에이블 제어기들(E21-E24) 각각은 인버터들(601-610) 및 낸드게이트들(611-618)을 포함하여 구성된다.

<44> CSL 인에이블 제어기(E21)은 지연된 칼럼선택라인 인에이블 마스터 신호(DEM1)가 논리"하이"가 될 때 활성화되고 디코드된 칼럼어드레스(CA1B, CA2B)에 응답하여 칼럼선택라인 인에이블 제어신호(EC1)을 발생한다. CSL 인에이블 제어기(E22)은 지연된 칼럼선택

라인 인에이블 마스터 신호(DEM2)가 논리"하이"가 될 때 활성화되고 디코드된 칼럼어드레스(CA1B,CA2)에 응답하여 칼럼선택라인 인에이블 제어신호(EC2)을 발생한다.

<45> CSL 인에이블 제어기(E23)은 지연된 칼럼선택라인 인에이블 마스터 신호(DEM3)가 논리"하이"가 될 때 활성화되고 디코드된 칼럼어드레스(CA1,CA2B)에 응답하여 칼럼선택라인 인에이블 제어신호(EC3)을 발생한다. CSL 인에이블 제어기(E24)은 지연된 칼럼선택라인 인에이블 마스터 신호(DEM4)가 논리"하이"가 될 때 활성화되고 디코드된 칼럼어드레스(CA1,CA2)에 응답하여 칼럼선택라인 인에이블 제어신호(EC4)을 발생한다.

<46> 도 7은 도 2에 도시된 복수개의 CSL 디스에이블 제어기들(F21-F24)의 회로를 나타내는 도면이다.

<47> 도 7을 참조하면, CSL 디스에이블 제어기들(F21-F24) 각각은 낸드게이트(701,702,703,704)를 포함하여 구성된다.

<48> CSL 디스에이블 제어기(F21)는 지연된 칼럼선택라인 디스에이블 마스터 신호(DDM1) 및 디코드된 칼럼어드레스, 즉 뱅크선택 신호(BS1)를 낸드게이팅하여 칼럼선택라인 디스에이블 제어신호(DC1)를 발생한다. CSL 디스에이블 제어기(F22)는 지연된 칼럼선택라인 디스에이블 마스터 신호(DDM2) 및 뱅크선택 신호(BS2)를 낸드게이팅하여 칼럼선택라인 디스에이블 제어신호(DC2)를 발생한다.

<49> CSL 디스에이블 제어기(F23)는 지연된 칼럼선택라인 디스에이블 마스터 신호(DDM3) 및 뱅크선택 신호(BS3)를 낸드게이팅하여 칼럼선택라인 디스에이블 제어신호(DC3)를 발생한다. CSL 디스에이블 제어기(F24)는 지연된 칼럼선택라인 디스에이블 마스터 신호

(DDM4) 및 뱅크선택 신호(BS4)를 낸드게이팅하여 칼럼선택라인 디스에이블 제어신호(DC4)를 발생한다.

<50> 도 8은 도 2에 도시된 복수개의 CSL 구동기들(G21-G24)의 회로를 나타내는 도면이다.

<51> 도 8을 참조하면, CSL 구동기들(G21-G24) 각각은 낸드게이트(801), 인버터들(802,803), 피모스 트랜지스터(804), 및 엔모스 트랜지스터들(805-808)을 포함하여 구성된다.

<52> CSL 구동기(G21)는 EC1이 논리"하이"가 되고 DC1이 논리"로우"가 될 때 CSL1을 논리"하이"로 인에이블시키고 EC1이 논리"로우"가 되고 DC1이 논리"하이"가 될 때 CSL1을 논리"로우"로 디스에이블시킨다. CSL 구동기(G22)는 EC2가 논리"하이"가 되고 DC2가 논리"로우"가 될 때 CSL2를 논리"하이"로 인에이블시키고 EC2가 논리"로우"가 되고 DC2가 논리"하이"가 될 때 CSL2를 논리"로우"로 디스에이블시킨다.

<53> CSL 구동기(G23)는 EC3이 논리"하이"가 되고 DC3이 논리"로우"가 될 때 CSL3을 논리"하이"로 인에이블시키고 EC3이 논리"로우"가 되고 DC3이 논리"하이"가 될 때 CSL3을 논리"로우"로 디스에이블시킨다. CSL 구동기(G24)는 EC4가 논리"하이"가 되고 DC4가 논리"로우"가 될 때 CSL4를 논리"하이"로 인에이블시키고 EC4가 논리"로우"가 되고 DC4가 논리"하이"가 될 때 CSL4를 논리"로우"로 디스에이블시킨다.

<54> 상술한 바와 같이 본 발명에 따른 반도체 메모리장치에서는 도 1의 종래기술과 달리 복수개의 CSL 인에이블 제어기들(E21-E24)과 복수개의 CSL 디스에이블 제어기들(F21-F24)이 구비되고 이들은 CSL 구동기들(G21-G24) 근처에 배치된다. 이에 따라 각 칼

럼선택라인 구동기(G21-G24)의 입력단의 부하(load)가 거의 비슷해지게 되며 따라서 칼럼선택라인들(CSL1-CSL4) 간의 인에이블 스큐(skew) 및 디스에이블 스큐가 감소된다.

<55> 또한 본 발명에 따른 반도체 메모리장치에서는 복수개의 CSL 인에이블 제어기들(E21-E24)과 CSL 인에이블 마스터 신호 발생기(A21) 사이에 복수개의 인에이블 마스터 신호 지연기들(C21-C24)이 구비된다. 특히 인에이블 마스터 신호 지연기들(C21-C24)의 지연시간을 서로 다르게 함으로써, 고집적 메모리장치에서 신호들(EM, DEM1-DEM4)을 전달하는 신호라인들의 서로 다른 부하에 기인하는 지연차이를 보상할 수 있으며 결국 칼럼선택라인들(CSL1-CSL4) 간의 인에이블 스큐(skew)가 감소될 수 있다.

<56> 또한 본 발명에 따른 반도체 메모리장치에서는 복수개의 CSL 디스에이블 제어기들(F21-F24)과 CSL 디스에이블 마스터 신호 발생기(B21) 사이에 복수개의 디스에이블 마스터 신호 지연기들(D21-D24)이 구비된다. 특히 디스에이블 마스터 신호 지연기들(D21-D24)의 지연시간을 서로 다르게 함으로써, 고집적 메모리장치에서 신호들(DM, DDM1-DDM4)을 전달하는 신호라인들의 서로 다른 부하에 기인하는 지연차이를 보상할 수 있으며 결국 칼럼선택라인들(CSL1-CSL4) 간의 디스에이블 스큐가 감소될 수 있다.

<57> 따라서 독출동작에서는 메모리셀 어레이들(H21-H24) 내의 데이터를 입출력라인으로 센싱할 때 센싱타임을 메모리셀 어레이들(H21-H24)의 위치에 무관하게 균일하게 할 수 있으며 이에 따라 데이터 센싱 스큐도 최소화될 수 있으며 결국 반도체 메모리장치의 기입동작 속도가 향상될 수 있다. 또한 기입동작에서도 메모리셀 어레이들(H21-H24)의 위치에 무관하게 CSL의 인에이블 시점 및 디스에이블 시점을 거의 일정하게 할 수 있으므로 기입동작 속도를 향상시킬 수 있다.

<58>        이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<59>        상술한 바와 같이 본 발명에 따른 반도체 메모리장치에서는 칼럼선택라인들 간의 스큐가 감소될 수 있으며 이에 따라 반도체 메모리장치의 기입동작 속도 및 독출동작 속도가 향상될 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

복수개의 메모리셀 어레이들;

소정의 신호를 수신하여 칼럼선택라인 인에이블 마스터 신호를 발생하는 인에이블 마스터 신호 발생기;

상기 소정의 신호를 수신하여 칼럼선택라인 디스에이블 마스터 신호를 발생하는 디스에이블 마스터 신호 발생기;

각각 상기 칼럼선택라인 인에이블 마스터 신호를 지연시키는 복수개의 인에이블 마스터 신호 지연기들;

각각 상기 칼럼선택라인 디스에이블 마스터 신호를 지연시키는 복수개의 디스에이블 마스터 신호 지연기들;

각각 상기 인에이블 마스터 신호 지연기들중 해당되는 것의 출력신호에 응답하여 칼럼선택라인 인에이블 제어신호를 발생하는 복수개의 칼럼선택라인 인에이블 제어기들;

각각 상기 디스에이블 마스터 신호 지연기들중 해당되는 것의 출력신호에 응답하여 칼럼선택라인 디스에이블 제어신호를 발생하는 복수개의 칼럼선택라인 디스에이블 제어기들; 및

각각 상기 칼럼선택라인 인에이블 제어기들중 해당되는 것의 출력신호와 상기 칼럼선택라인 디스에이블 제어기들중 해당되는 것의 출력신호에 응답하여, 상기 메모리셀 어레이들중 해당되는 것의 칼럼선택라인을 구동하는 복수개의 칼럼선택라인 구동기들을 구비하는 것을 특징으로 하는 반도체 메모리장치.

**【청구항 2】**

제1항에 있어서, 상기 인에이블 마스터 신호 지연기들의 지연시간들은 서로 다른 것을 특징으로 하는 반도체 메모리장치.

**【청구항 3】**

제1항에 있어서, 상기 디스에이블 마스터 신호 지연기들의 지연시간들은 서로 다른 것을 특징으로 하는 반도체 메모리장치.

**【청구항 4】**

제1항에 있어서, 상기 소정의 신호는 상기 반도체 메모리장치의 외부에서 인가되는 외부클럭에 의해 발생하는 내부클럭인 것을 특징으로 하는 반도체 메모리장치.

**【청구항 5】**

제1항에 있어서, 상기 칼럼선택라인 인에이블 제어기들은 디코드된 칼럼어드레스에 응답하는 것을 특징으로 하는 반도체 메모리장치.

**【청구항 6】**

제1항에 있어서, 상기 칼럼선택라인 디스에이블 제어기들은 디코드된 칼럼어드레스에 응답하는 것을 특징으로 하는 반도체 메모리장치.

**【청구항 7】**

복수개의 메모리셀 어레이들을 구비하는 반도체 메모리장치의 칼럼선택라인 구동방법에 있어서,

소정의 신호를 수신하여 칼럼선택라인 인에이블 마스터 신호를 발생하는 단계;

상기 소정의 신호를 수신하여 칼럼선택라인 디스에이블 마스터 신호를 발생하는 단계;

상기 칼럼선택라인 인에이블 마스터 신호를 서로 다른 지연시간 만큼 지연시켜 복수개의 지연된 칼럼선택라인 인에이블 마스터 신호들을 발생하는 단계;

상기 칼럼선택라인 디스에이블 마스터 신호를 서로 다른 지연시간 만큼 지연시켜 복수개의 지연된 칼럼선택라인 디스에이블 마스터 신호들을 발생하는 단계;

상기 지연된 칼럼선택라인 인에이블 마스터 신호들에 응답하여 복수개의 칼럼선택라인 인에이블 제어신호들을 발생하는 단계;

상기 지연된 칼럼선택라인 디스에이블 마스터 신호들에 응답하여 복수개의 칼럼선택라인 디스에이블 제어신호들을 발생하는 단계; 및

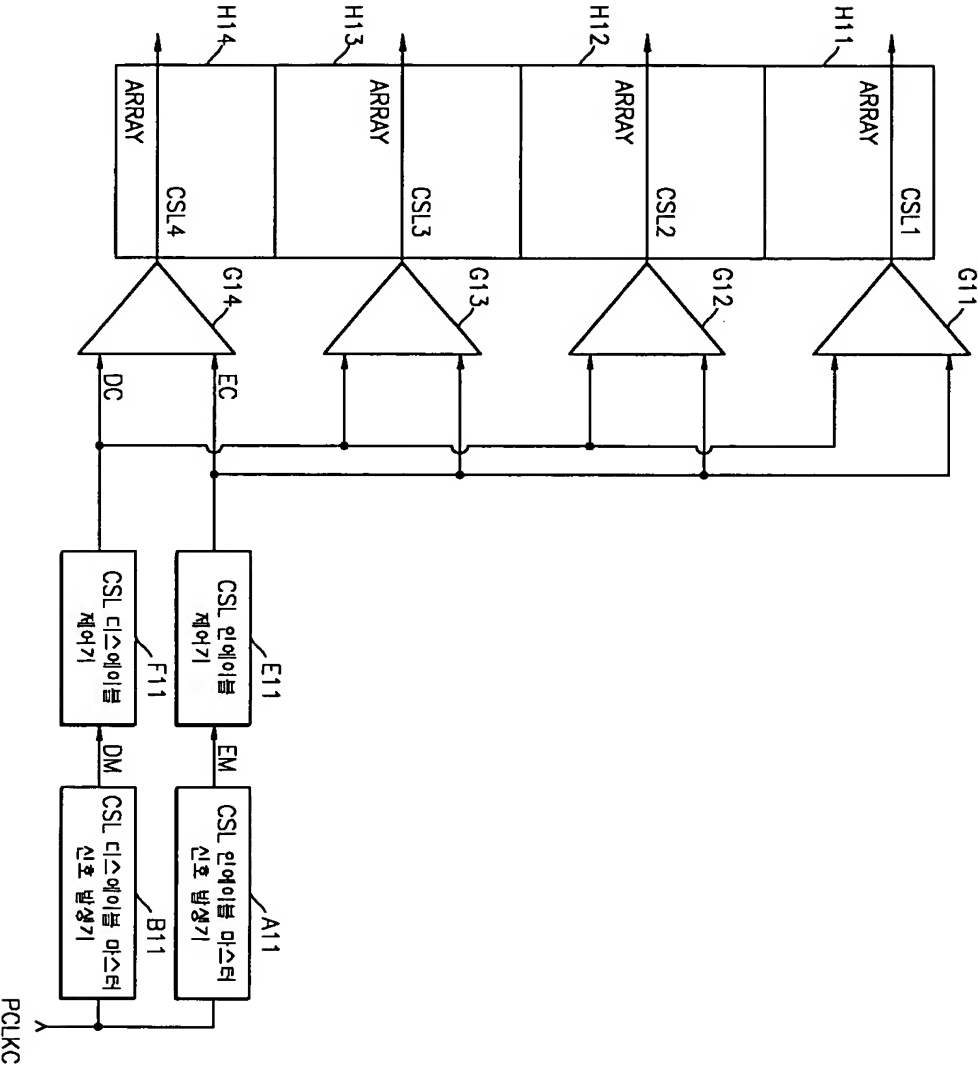
상기 칼럼선택라인 인에이블 제어신호들중 해당되는 것과 상기 칼럼선택라인 디스에이블 제어신호들중 해당되는 것에 응답하여, 상기 메모리셀 어레이들중 해당되는 것의 칼럼선택라인을 구동하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 칼럼선택라인 구동방법.

#### 【청구항 8】

제7항에 있어서, 상기 소정의 신호는 상기 반도체 메모리장치의 외부에서 인가되는 외부클럭에 의해 발생하는 내부클럭인 것을 특징으로 하는 반도체 메모리장치의 칼럼선택라인 구동방법.

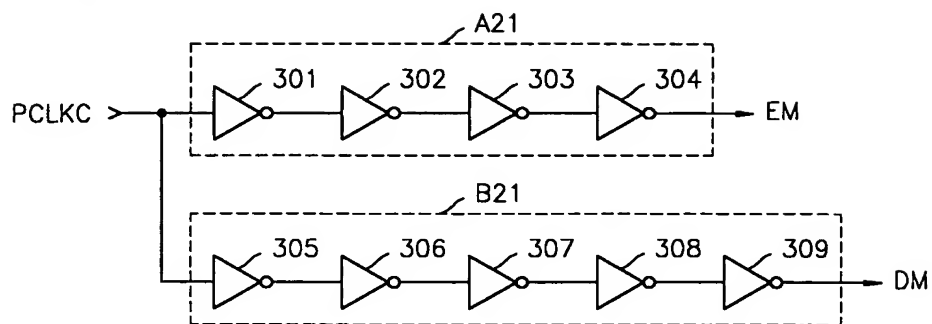
【도면】

【도 1】

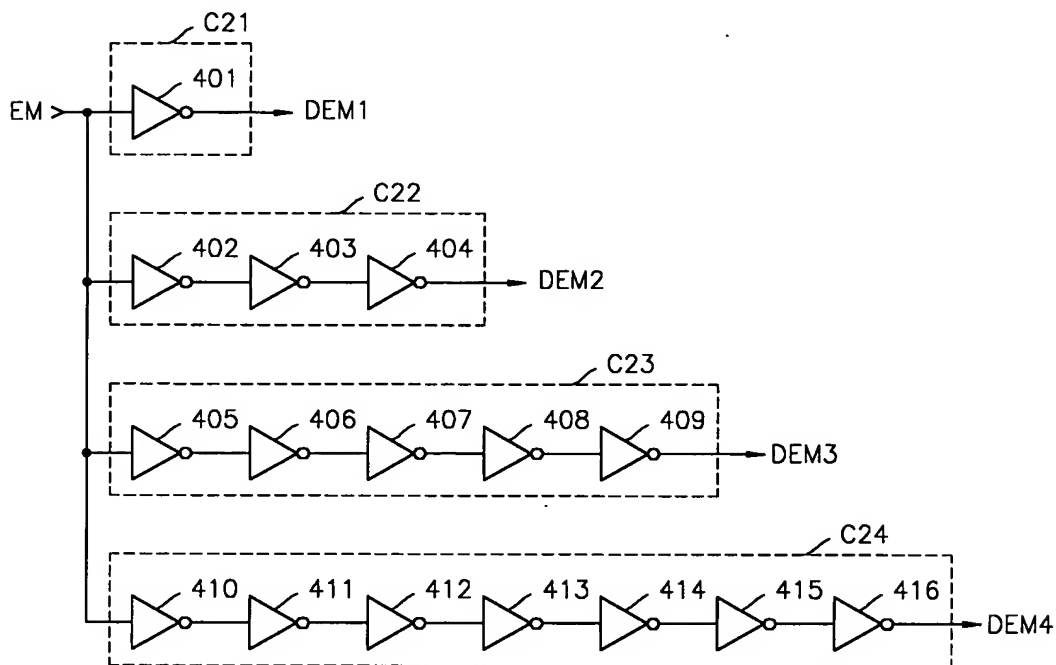




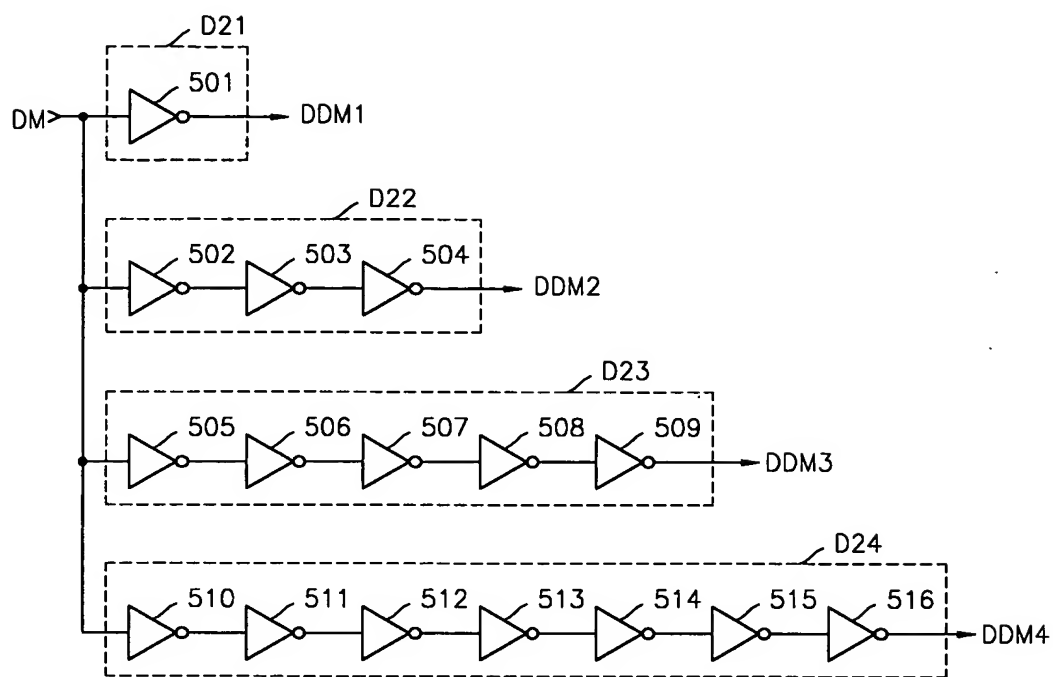
【도 3】



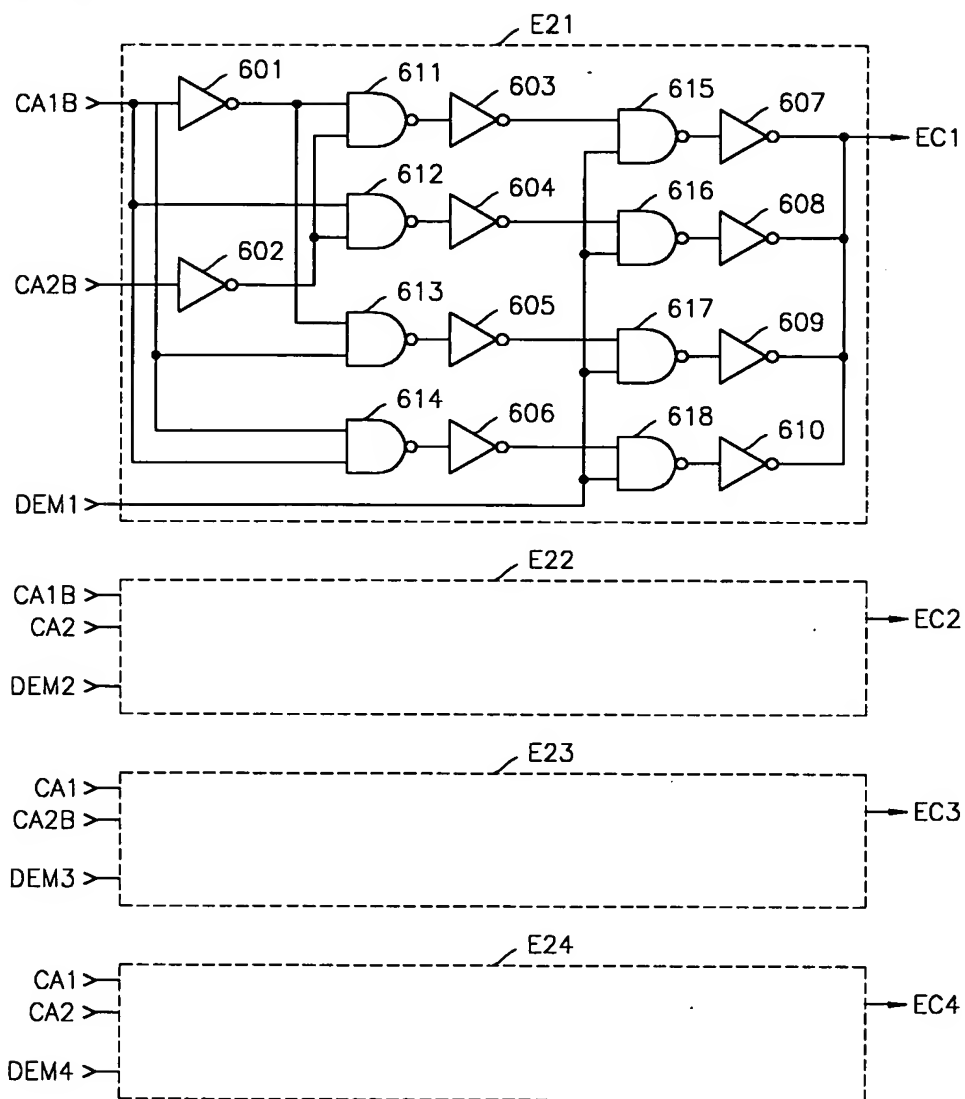
【도 4】



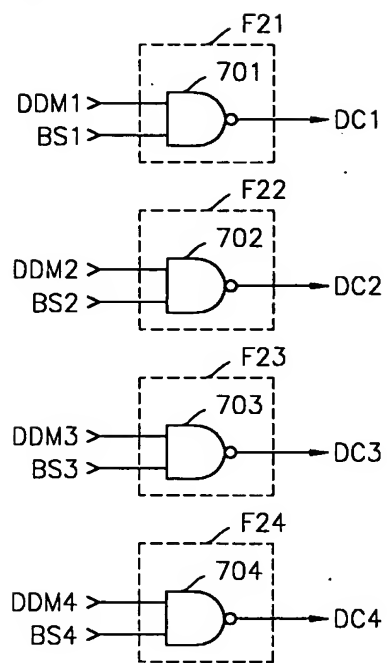
【도 5】



【도 6】



【도 7】



【도 8】

